

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-286385

(P2000-286385A)

(43)公開日 平成12年10月13日 (2000.10.13)

(51)Int.Cl.<sup>7</sup>H 01 L 27/04  
21/822  
21/82

識別記号

F I

H 01 L 27/04  
21/82テ-マコ-ト<sup>\*</sup>(参考)D 5 F 0 3 8  
L 5 F 0 6 4

審査請求 未請求 請求項の数5 O L (全 6 頁)

(21)出願番号 特願平11-87413

(22)出願日 平成11年3月30日 (1999.3.30)

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ  
東京都小平市上水本町5丁目22番1号

(72)発明者 中野 実

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74)代理人 100089071

弁理士 玉村 静世

最終頁に続く

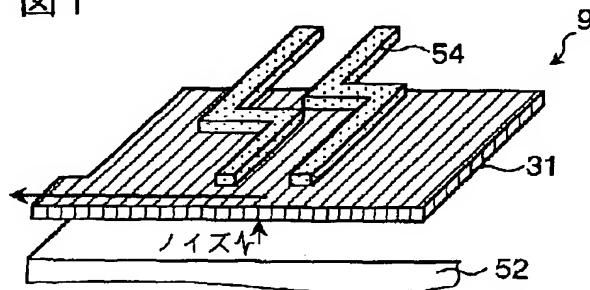
(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 半導体集積回路の特性向上を図ることにある。

【解決手段】 半導体基板52と信号配線層54との間に、グランドレベル又は電源電圧レベルに固定されたシールド用メタル層31を積層する。このシールド用メタル層により、半導体基板からのノイズが信号配線層へ伝達されるのを阻止することができるので、ノイズの回り込みを低減することができ、回路動作の安定化を図ることができる。

図 1



## 【特許請求の範囲】

【請求項1】半導体基板と、上記半導体基板に設けられた信号配線層とを有する半導体集積回路において、上記半導体基板と上記信号配線層との間に、グランドレベル又は電源電圧レベルに固定されたシールド用メタル層が所定の領域を除いて上記半導体基板のほぼ全面を覆うように積層されて成ることを特徴とする半導体集積回路。

【請求項2】半導体基板と、上記半導体基板に設けられた信号配線層とを有する半導体集積回路において、上記半導体基板と上記信号配線層との間に、グランドレベルに固定されたシールド用メタル層と電源電圧レベルに固定されたシールド用メタル層とが互いに対向され、且つ、所定の領域を除いて上記半導体基板のほぼ全面を覆うように積層されて成ることを特徴とする半導体集積回路。

【請求項3】所定の機能を有する複数のブロックがレイアウトされ、上記信号配線層によって上記複数のブロック間の信号配線が行われるとき、上記シールド用メタル層は、上記ブロックのレイアウト領域を除いた領域にレイアウトされて成る請求項1又は2記載の半導体集積回路。

【請求項4】所定の機能を有する複数のブロックがレイアウトされ、上記信号配線層によって上記複数のブロック間の信号配線が行われるとき、上記シールド用メタル層は、上記ブロックのレイアウト領域と、信号配線密度が高い領域として予め設定された領域とを除いた領域にレイアウトされて成る請求項1又は2記載の半導体集積回路。

【請求項5】上記ブロックには、アナログ信号を取り扱う回路が含まれる請求項3又は4記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、例えばASIC(Application Specific IC)に適用して有効な技術に関する。

## 【0002】

【従来の技術】半導体集積回路の高集積化、高密度化、高速動作化、及び汎用化により配線の多層化は、ASICにおいても必然の技術とされる。多層化は配線面積を実質的に減少させてチップの増大化を防止し、平均配線長を短くして配線抵抗による動作速度の遅延を抑制し、CAD(コンピュータ・エイディッシュ・デザイン)による自動配置配線を可能にしている。

【0003】ASICについてのセル配置配線ライブラリの自動生成プログラムは、論理和や論理積等の所定の論理回路や、組合せ回路等の機能セルについての配置配線ライブラリの自動生成を行う。セルの実体パターン情報は、予め設計された回路図を基に、人手あるいはセル

パターン自動生成プログラムを介して作成される。自動の場合には、回路図の情報が対話型のグラフィック入力装置で入力される。そうすると、セルパターン自動生成プログラムは、回路図情報とは別途与えられた半導体集積回路の加工プロセス上の配置配線ルール、その他の指定情報を基に、セルの実体パターンを自動発生する。生成された実体パターン情報は計算機上のファイルの形態でセルデータベースとして蓄えられる。それに基づいて、ASICの自動配置配線が行われる。

【0004】尚、自動配置配線について記載された文献の例としては、昭和59年11月30日に株式会社オーム社から発行された「LSIハンドブック(第280頁～)」がある。

## 【0005】

【発明が解決しようとする課題】半導体集積回路のチップレイアウトにおいて、配線密度を上げるために、配線層の多層化が進んでいる。しかし、A/D(アナログ/デジタル)変換回路やD/A(デジタル/アナログ)変換回路などのようにアナログ信号を取り扱う回路を含むASICでは、特にアナログ部分がノイズに弱かったり、クロストークが生じ易いため、信号配線の交差や並走が無いようにレイアウトされるのが普通であり、配線密度を上げることはできない。そのため、多くの場合、多層化配線の利益を十分に享受することができない。

【0006】また、本願発明者が検討したところ、多層配線において、半導体基板に最も近い位置に積層された配線層は、半導体基板からのノイズの影響を受けやすく、特に当該信号配線が、比較的ノイズに弱いアナログ部に結合される場合には、上記ノイズの回り込みによりアナログ部の誤動作を招くおそれがある。

【0007】本発明の目的は、ノイズの回り込みを抑えるための技術を提供することにある。

【0008】本発明の別の目的は、回路動作の安定化を図るために技術を提供することにある。

## 【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、半導体基板(52)と、上記半導体基板に設けられた信号配線層(54)とを有する半導体集積回路において、上記半導体基板と上記信号配線層との間に、グランドレベル又は電源電圧レベルに固定されたシールド用メタル層(31)を、所定の領域を除いて半導体基板のほぼ全面を覆うように積層する。

【0011】上記した手段によれば、シールド用メタル層は、半導体基板からのノイズが、信号配線層へ伝達されるのを遮断するためのシールド部材として機能する。このことが、ノイズの回り込みを低減し、回路動作の安定化を達成する。

【0012】また、半導体基板(52)と、上記半導体

基板に設けられた信号配線層（54）とを有する半導体集積回路において、上記半導体基板と上記信号配線層との間に、グランドレベルに固定されたシールド用メタル層（31）と電源電圧レベルに固定されたシールド用メタル層（32）とを、所定の領域を除いて半導体基板のほぼ全面を覆うように積層する。

【0013】上記した手段によれば、シールド用メタル層は、半導体基板からのノイズが、信号配線層へ伝達されるのを遮断するためのシールド部材として機能する。このことが、ノイズの回り込みを低減する。そして、グランドレベルに固定されたシールド用メタル層（31）と、電源電圧レベルに固定されたシールド用メタル層（32）とが積層されることで、シールド用メタル層間にキャパシタが形成され、このキャパシタが電源電圧を安定化させ、回路動作の安定化を達成する。

【0014】このとき、上記ブロックのレイアウト領域をブロック内配線に利用可能とするには、上記ブロックのレイアウト領域を除いた領域に上記シールド用メタル層をレイアウトするとよい。さらに、信号配線密度が高い領域が存在する場合には、当該領域の配線を優先し、上記ブロックのレイアウト領域と、信号配線密度が高い領域として予め設定された領域とを除いた領域に上記シールド用メタル層をレイアウトするとよい。

#### 【0015】

【発明の実施の形態】図1には、本発明にかかる半導体集積回路の一例であるASICが示される。

【0016】図1に示されるASIC9は、シリコン半導体基板などの一つの半導体基板52に、シールド用メタル層31及び配線層54が積層されて成る。つまり、絶縁膜を介して、所定領域を除く半導体基板52のほぼ全面を覆うようにシールド用メタル層31が積層され、このシールド用メタル層31に、絶縁膜を介して信号配線層54が積層される。シールド用メタル層31は、特に制限されないが、アルミニウムにより形成され、回路のグランドレベルに固定されている。それにより、半導体基板52でノイズが発生しても、シールド用メタル層31に上記ノイズに起因するノイズ電流は流れもの、シールド用メタル層31によってシールドされるため、ノイズは信号配線層54に伝達されにくくなる。

【0017】このようにシールド用メタル層31が介在されることにより、ノイズが信号配線層54に伝達されにくくなるので、比較的ノイズに弱いアナログ部に信号配線層54が結合される場合であっても、上記ノイズに起因する誤動作を回避することができる。

【0018】図2には、本発明にかかる半導体集積回路の一例であるASICの別の構成例が示される。

【0019】図2に示されるASIC9は、シリコン半導体基板などの一つの半導体基板52に、シールド用メタル層31、32及び配線層54が積層されて成る。つまり、半導体基板52に、絶縁膜を介してシールド用メ

タル層31が積層され、このシールド用メタル層31に、絶縁膜を介してシールド用メタル層32が積層され、このシールド用メタル層32に、絶縁膜を介して信号配線層54が積層される。シールド用メタル層31、32は、特に制限されないが、所定領域を除いて半導体基板52のほぼ全面を覆うようにアルミニウムにより形成される。シールド用メタル層31は回路のグランドレベルに固定され、シールド用メタル層32は回路の電源電圧レベルに固定される。シールド用メタル層31とシールド用メタル層32とが隣接して対向配置されるため、それら間にキャパシタCが形成される。シールド用メタル層31が回路のグランドレベルに固定され、シールド用メタル層32が回路の電源電圧レベルに固定されるため、キャパシタCに、グランドレベルを基準として回路の電源電圧が供給され、それによってキャパシタCが充電される。これにより、回路の電源が補強されるので、ASIC9内でノイズが発生しにくくなる。

【0020】このように、シールド用メタル層31とシールド用メタル層32とが対向配置して形成されるキャパシタCによって、回路の電源が補強されるため、ASIC9内でノイズが発生しにくくなる。さらに、シールド用メタル層31、32が介在されることにより、半導体基板52からのノイズが信号配線層54に伝達されにくくなるので、例えば比較的ノイズに弱いアナログ部に信号配線層54が結合される場合であっても、上記ノイズに起因する誤動作を回避することができる。

【0021】ASIC9において、所定の機能を有するブロックがレイアウトされ、上記信号配線層54によって複数のブロックが結合されるとき、上記シールド用メタル層31、32は、上記ブロックのレイアウト領域を除いた領域にレイアウトすることができる。例えば図6に示されるように、それぞれ所定の機能を有するブロック13、14、15が配置されるものとする。特に制限されないが、ブロック13はアナログ信号をデジタル信号に変換するためのA/D（アナログ/デジタル）変換回路、ブロック14は論理回路、ブロック15はデジタル信号をアナログ信号に変換するためのD/A（デジタル/アナログ）変換回路とされる。

【0022】シールド用メタル層31は、特に制限されないが、上記ブロック13～15のレイアウト領域を除く領域に形成される。シールド用メタル層31がグランドレベルとされるため、上記ブロック13～15のグランド端子は、この配線層31に結合されている。また、シールド用メタル層31を包囲するように複数のボンディングパッド12が配列されている。この複数のボンディングパッドのうち、121、122、123、124、126、127で示されるボンディングパッドがシールド用メタル層31に結合される。このボンディングパッド121、122、123、124、126、127は、グランド端子とされる外部ピンに結合される。

【0023】尚、シールド用メタル層32は、電源電圧レベルに固定されることを除いて上記シールド用メタル層31と同様に構成される。

【0024】次に、上記ASIC9の自動配置配線について説明する。

【0025】図8にはセル配置配線ライブラリ24を利用して行われるASICの自動配置配線の全体的な処理の流れが示されている。同図に示されるように、論理図が作成された後に(S11)、その論理が入力され、論理シミュレーションが行われる(S12)。その後に、ASICの複数の配線層のうち、固定電位とするシールド用メタル層を設定する(S13)。特に制限されないが、半導体基板に最も近い層がシールド用メタル層31とされる。先ず、全面がメタルで覆われるようにレイアウトされ、次に、セル配置配線ライブラリ24の情報に基づいてブロック自動配置フロアプランが実施され(S14)、図5に示されるように、複数のブロック13, 14, 15がレイアウトされる。そして、セル配置配線ライブラリ24の情報に基づいてシールド用メタル層31の修正が行われる(S15)。具体的には、図6に示されるように、ブロック13, 14, 15に対応する領域にはメタル領域が形成されないようにする。これは、シールド用メタル層31においてブロック13, 14, 15内の配線を可能とするためである。次に、セル配置配線ライブラリ24の情報に基づいてブロック13, 14, 15内の配置配線が行われ(S17)、ブロック間配線が行われ(S17)、全体的な配置配線が最終的に決定されると、マスクデータに変換され(S18)、マスク描画データとして保管される。

【0026】尚、図8にはセル配置配線ライブラリを専ら人手によって生成する処理の流れも参考として示されている。この場合には、設計者はセルの実体パターンを見ながら数値の拾い出しなどを行ってセル配置配線ライブラリ仕様書を作成し、その後これを見ながらコーディングし、それを更にチェックし、必要に応じて修正してはじめてセル配置配線ライブラリ24が完成する。

【0027】図8に示される手順に従ってASICの配置配線を行っていくとき、セルの配置場所に応じて同一論理のセルを縦長に配置したり横長に配置したりする必要性が生じた場合に、また、信号の伝播遅延の不揃いや設計値との相違を補正したりするためにセルのパターンを配置場所に応じて変更して用いなければならない場合に、それらの要求を満足するセルが予め用意されていないなら、配置配線途上でセル自動設計プログラムを起動すると共に、所定の性能パターンを指定することにより、必要なセルの実体パターン情報を作成する。このように、配置配線途上においてパターンや論理の追加変更された新たなセルが必要になるとき、言い換えるなら、配置配線途上においてパターンや性能の異なるセルを使い分ける必要があるとき、その配置配線ライブラリは、

上記手順を介すことにより得ることができる。

【0028】上記した例によれば、以下の作用効果を得ることができる。

【0029】(1) シールド用メタル層31が介在されることにより、ノイズが信号配線層54に伝達されにくくなるので、比較的ノイズに弱いアナログ部に信号配線層54が結合される場合であっても、上記ノイズに起因する誤動作を回避することができる。この結果、ノイズによる影響が減少されるので、ASIC9における回路特性の向上を図ることができる。

【0030】(2) シールド用メタル層31とシールド用メタル層32とが対向配置して形成されるキャパシタCによって、回路の電源が補強されるため、ASIC9内でノイズが発生しにくくなる。さらに、シールド用メタル層31, 32が介在されることにより、半導体基板52からのノイズが信号配線層54に伝達されにくくなるので、比較的ノイズに弱いアナログ部に信号配線層54が結合される場合であっても、上記ノイズに起因する誤動作を回避することができる。

【0031】(3) 特に、A/D変換回路やD/A変換回路を含むアナログ搭載ASICでは、アナログ部分がノイズに弱かったり、クロストークが生じ易いため、信号配線の交差や並走が無いようにレイアウトされるのが普通であり、配線密度を上げることはできない。そのような事情により配線領域に余裕があるため、上記のようにシールド用メタル層31, 32を設けても、配線領域が不足する等の理由により、チップサイズを大きくする必要は無い。

【0032】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0033】例えば、シールド用メタル層31を電源電圧レベルに固定し、シールド用メタル層32をグランドレベルに固定しても良い。

【0034】また、シールド用メタル層31, 32間に、信号配線層を形成しても良い。この場合、シールド用メタル層31, 32間に形成されるキャパシタの容量は小さくなり、電源の安定化の点では不利となるが、シールド用メタル層31, 32間に配置された信号配線層を、シールド用メタル層31, 32の双方で挟み込むようにシールドすることができるので、ノイズの回り込みを抑える点で有利となる。

【0035】さらに、配線密度が比較的高くなる領域では、ステップS15のメタル領域の修正においてその領域をメタル領域から外すことにより、信号配線を優先するとよい。例えば図3に示されるように、論理ブロック14付近の配線密度が比較的高いものとすると、その領域については、ステップS15のシールド用メタル層の修正においてブロック領域と同様にシールド用メタル層

が形成されないようにすることで、その領域を通常の信号配線のために使用することができる。この場合、パッド124, 126は信号配線のボンディングに使用される。

【0036】さらに、図3に示されるように、同一配線層に、グランドレベルに固定されたグランドレベルシールド用メタル層71と、電源電圧レベルに固定された電源電圧レベルシールド用メタル層72とを形成しても良い。

【0037】以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野であるASICに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体集積回路に広く適用することができる。

【0038】本発明は、少なくとも所定の機能を有する複数のブロックを含むことを条件に適用することができる。

#### 【0039】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0040】すなわち、グランドレベル又は電源電圧レベルに固定されたシールド用メタル層により、半導体基板からのノイズが信号配線層へ伝達されるのを阻止することができるので、回路動作の安定化を図ることができる。

【0041】グランドレベルに固定されたシールド用メタル層と、電源電圧レベルに固定されたシールド用メタル層とが積層されることで、シールド用メタル層間にキ

ヤパシタが形成され、このキャパシタにより電源電圧を」が安定化されることから、回路動作の安定化を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明にかかる半導体集積回路の構成例が示される説明図である。

【図2】本発明にかかる半導体集積回路の別の構成例が示される説明図である。

【図3】本発明にかかる半導体集積回路の別の構成例が示される説明図である。

【図4】上記半導体集積回路におけるシールド用メタル層レイアウトの説明図である。

【図5】上記半導体集積回路におけるブロックレイアウトの説明図である。

【図6】上記半導体集積回路におけるメタル領域修正の説明図である。

【図7】上記半導体集積回路における別のレイアウト説明図である。

【図8】上記半導体集積回路の全体的な処理のフローチャートである。

#### 【符号の説明】

9 ASIC

12 ボンディングパッド

13, 14, 15 ブロック

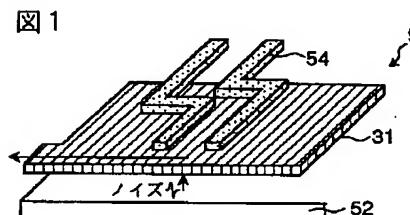
31, 32 シールド用メタル層

52 半導体基板

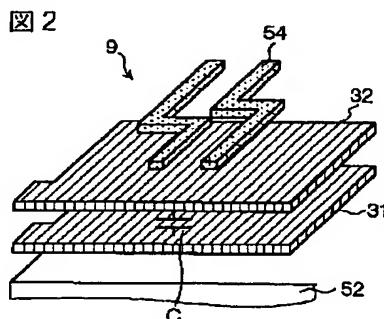
54 信号配線層

C キャパシタ

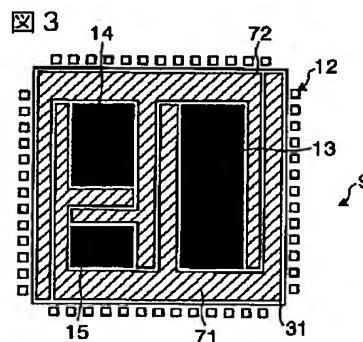
【図1】



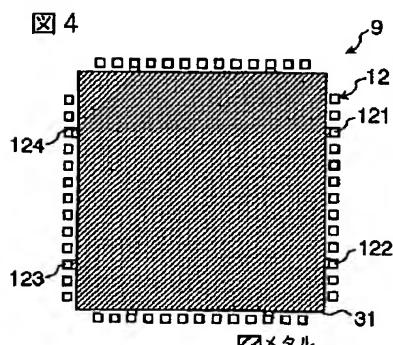
【図2】



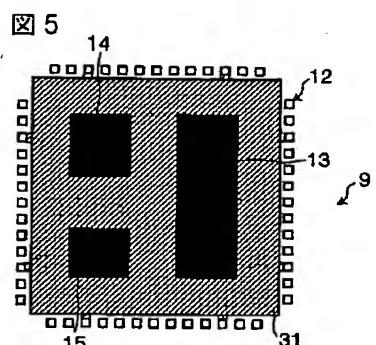
【図3】



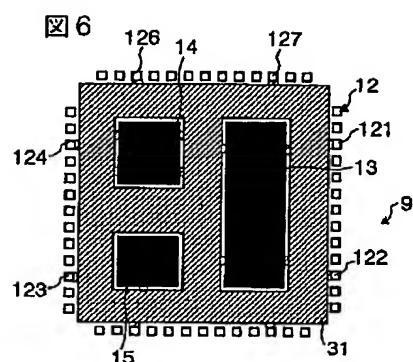
【図4】



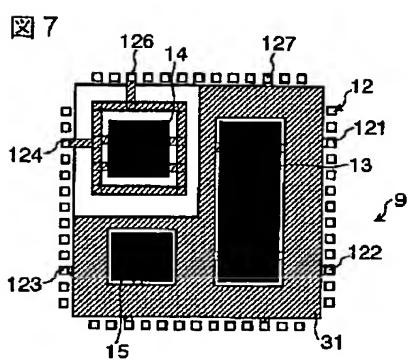
【図5】



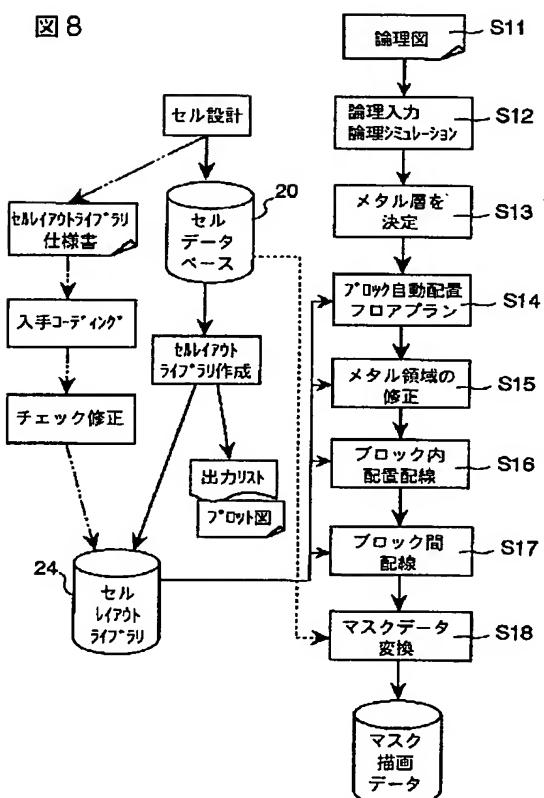
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 柴田 久雄

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

F ターム(参考) 5F038 AC05 BB06 BE07 BH10 BH19

CA17 CD05 DF12 EZ09 EZ20

5F064 AA06 BB35 EE26 EE45 EE52

HH06 HH09 HH11 HH12 HH15